

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年9月4日 (04.09.2003)

PCT

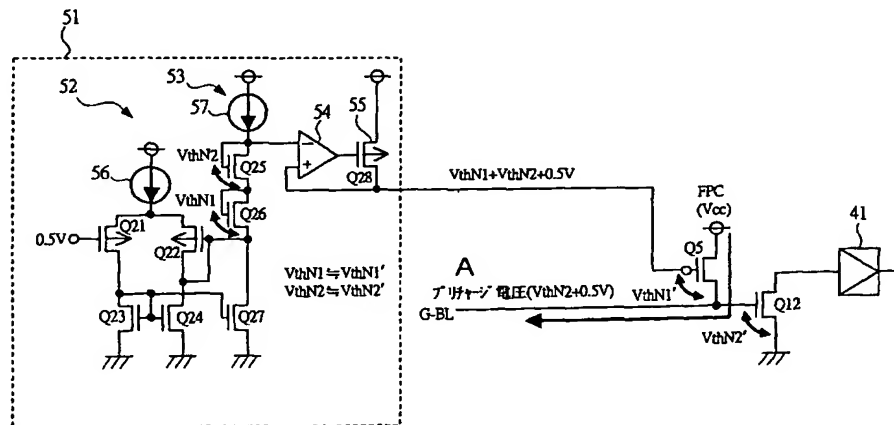
(10) 国際公開番号  
WO 03/073432 A1

- (51) 国際特許分類: G11C 16/26 (72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 金光 道太郎 (KANAMITSU, Michitaro) [JP/JP]; 〒187-8522 東京都小平市 上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 高瀬 賢順 (TAKASE, Yoshinori) [JP/JP]; 〒198-8512 東京都青梅市 新町六丁目16番地の3 株式会社日立製作所 デバイス開発センタ内 Tokyo (JP). 久保 昌次 (KUBONO, Shoji) [JP/JP]; 〒187-8522 東京都小平市 上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP02/01846
- (22) 国際出願日: 2002年2月28日 (28.02.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区 神田駿河台四丁目6番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市 上水本町5丁目22番1号 Tokyo (JP).
- (74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都新宿区 西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE UNIT

(54) 発明の名称: 不揮発性半導体記憶装置



A...PRE-CHARGE VOLTAGE

(57) Abstract: A nonvolatile semiconductor storage unit capable of preventing an erroneous sense operation in a sense latch circuit while using a single-end sense method to be able to reduce areas (reduce the number of elements). A single-end sense method using a flash memory where a sense latch circuit is connected to one end of a global bit line to detect data on the global bit line according to the threshold value voltage of a memory cell, and an NMOS gate reception sense method where data on the global bit line is received on a gate by an NMOSFET to drive a node on the sense latch circuit are used concurrently to sense a sense voltage by the NMOSFET (Q12), start the sense latch circuit (41) with a sufficient signal traffic ensured, and pre-charge the global bit line (G-BL) by an output voltage from a threshold value voltage adding power source (51), whereby the difference between a pre-charge voltage and the threshold value voltage of the NMOSFET (Q12) is kept constant.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: 面積低減 (素子数削減) が可能なシングルエンドセンス方式を採用しながら、センスラッチ回路におけるセンス動作の誤動作を防止することができる不揮発性半導体記憶装置である。フラッシュメモリであって、センスラッチ回路がグローバルビット線の一方の端に接続され、メモリセルのしきい値電圧に応じたグローバルビット線上のデータを検知するシングルエンドセンス方式と、NMOSFETによりグローバルビット線上のデータをゲートで受けてセンスラッチ回路のノードを駆動するNMOSゲート受けセンス方式を併用して、センス電圧をNMOSFET (Q12) でセンスし、信号量を十分確保した状態でセンスラッチ回路 (41) を起動し、またしきい値電圧付加電源 (51) の出力電圧でグローバルビット線 (G-BL) をプリチャージすることにより、プリチャージ電圧とNMOSFET (Q12) のしきい値電圧との差を常に一定にすることができる。

## 明 細 書

## 不揮発性半導体記憶装置

## 5 技術分野

本発明は、半導体記憶装置に関し、特にセンスラッチ回路をビット線の一方の端に配置して、このセンスラッチ回路によりメモリセルのしきい値電圧に応じたビット線上の電圧を検知する方式、いわゆるシングルエンドセンス方式と呼ばれる技術を採用したフラッシュメモリなどの  
10 ような不揮発性半導体記憶装置に適用して有効な技術に関する。

## 背景技術

本発明者が検討したところによれば、不揮発性半導体記憶装置の一例としてのフラッシュメモリについては、以下のような技術が考えられ  
15 る。

たとえば、フラッシュメモリは、コントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。このようなフラッシュメモリにおいては、記憶容量を増大させるために、1つのメモリセル中に2ビット以上のデータを記憶させる、いわゆる「多値」の  
20 フラッシュメモリが提案されている。このような多値のフラッシュメモリでは、フローティングゲートに注入する電荷の量を制御することにより、しきい値電圧を段階的に変化させ、それぞれのしきい値電圧に複数ビットの情報を対応させて記憶することができる。

さらに、前記のようなフラッシュメモリにおいては、記憶容量の増大に伴ってチップサイズが大きくなるために、このチップサイズの増大を抑えることも求められている。たとえば、チップサイズを考えた場合に、ワード線とビット線との交点に格子状に配置する複数のメモリセルからなるメモリアレイの面積には制約が多いため、このメモリアレイのY  
25

系直接周辺回路などの面積に着目する必要がある。フラッシュメモリの Y 系直接周辺回路には、たとえば、いわゆるオープンビットセンス方式と呼ばれる技術やシングルエンドセンス方式と呼ばれる技術を採用した回路構成のものがある。

- 5       なお、シングルエンドセンス方式を採用したフラッシュメモリに関する技術としては、たとえば 1999 IEEE International Solid-State Circuits Conference, MP6.6:A 130mm<sup>2</sup> 256Mb NAND Flash with Shallow Trench Isolation Technology、1995 IEEE International Solid-State Circuits Conference, TA7.5:A 3.3V 32Mb NAND Flash Memory with  
10 Incremental Step Pulse Programming Scheme、1995 IEEE International Solid-State Circuits Conference, TA7.6:A 35ns-Cycle-Time 3.3V-Only 32Mb NAND Flash EEPROM などに記載される文献などが挙げられる。

- ところで、本発明者が、前記のようなフラッシュメモリの Y 系直接周辺回路に関し、オープンビットセンス方式とシングルエンドセンス方式  
15 を採用した技術について検討した結果、以下のようなことが明らかとなった。

- 前者のオープンビットセンス方式は、センスラッチ回路の両側に 2 本のグローバルビット線を接続した構成となっている。このオープンビットセンス方式を本発明の第 1 の前提技術として、図 9 の Y 系直接周辺回路を示す回路図を用いて説明する。併せて、図 10 を用いて、オープン  
20 ビットセンス方式 (a) と、本発明の第 2 の前提技術としてのシングルエンドセンス方式 (b) のセンス動作を説明する。

- 図 9 のように、オープンビットセンス方式の Y 系直接周辺回路は、センスラッチ回路 101 と、このセンスラッチ回路 101 の両側につながる  
25 るグローバルビット線 G-BL に接続される 1 対の、グローバルビット線プリチャージ回路 111, 121、グローバルビット線ディスチャージ回路 112, 122、グローバルビット線選択プリチャージ回路 113, 123、トランスファ回路 114, 124、センスラッチノード制御回路 115, 125、オール判定回路 116, 126 および Y 選択ス

イッチ回路 1 1 7, 1 2 7 などから構成される。

センスラッチ回路 1 0 1 は、PMOS FET Q 5 1, Q 5 2 と NMOS FET Q 5 3, Q 5 4 からなり、メモリセルのしきい値状態をセンスし、このセンス後のデータをラッチする回路である。

- 5      グローバルビット線プリチャージ回路 1 1 1, 1 2 1 は、NMOS FET Q 6 1, Q 7 1 からなり、グローバルビット線 G-BL の一括プリチャージを行う回路である。

- 10      グローバルビット線ディスチャージ回路 1 1 2, 1 2 2 は、NMOS FET Q 6 2, Q 7 2 からなり、グローバルビット線 G-BL の一括ディスチャージを行う回路である。

グローバルビット線選択プリチャージ回路 1 1 3, 1 2 3 は、NMOS FET Q 6 3, Q 6 4, Q 7 3, Q 7 4 からなり、グローバルビット線 G-BL の単位での選択的なプリチャージを行う回路である。

- 15      トランスファ回路 1 1 4, 1 2 4 は、NMOS FET Q 6 5, Q 7 5 からなり、センスラッチ回路 1 0 1 とグローバルビット線 G-BL との接続／分離を行う回路である。

センスラッチノード制御回路 1 1 5, 1 2 5 は、NMOS FET Q 6 6, Q 7 6 からなり、センスラッチ回路 1 0 1 のノードのチャージ／ディスチャージを行う回路である。

- 20      オール判定回路 1 1 6, 1 2 6 は、NMOS FET Q 6 7, Q 7 7 からなり、センスラッチ回路 1 0 1 のラッチデータの判定を行う回路である。

- 25      Y 選択スイッチ回路 1 1 7, 1 2 7 は、NMOS FET Q 6 8, Q 7 8 からなり、センスラッチ回路 1 0 1 と共通入出力線との間でデータを入出力するためのスイッチ回路である。

このオープンビットセンス方式を採用した場合、図 1 0 (a) のように、センス時は、一方 (左側) のグローバルビット線 G-BL にメモリセル MC を接続し、このグローバルビット線 G-BL はメモリしきい値に応じた電圧になり、他方 (右側) のグローバルビット線 G-BL にリ

ファレンス電圧を印加する。このオープンビットセンス方式では、グローバルビット線G-BLの容量は比較的大きく、両グローバルビット線G-BLの容量はほぼ同じために安定したセンス動作を行うことができる。

- 5 一方、後者のシングルエンドセンス方式は、センスラッチ回路をグローバルビット線の一方の端に配置する構成となっているため、面積低減（素子数削減）を目的として採用される。このシングルエンドセンス方式を採用した場合、図10（b）のように、グローバルビット線G-BLに接続するのはセンスラッチ回路の一方のみとなり、リファレンス側
- 10 の容量はセンス側に対して約1/6程度と小さくなる。このシングルエンドセンス方式では、センスラッチ回路の両側の容量差が大きい状態でセンスを行うために誤動作するという問題がある。

- また、前述のオープンビットセンス方式では、2本のグローバルビット線を制御するための付帯回路の素子数が多く、素子数削減によるレイ
- 15 アウト面積低減という課題がある。たとえば、前述した図9のY系直接周辺回路では、センスラッチ回路101に4素子、グローバルビット線プリチャージ回路111, 121に $1 \times 2 = 2$ 素子、グローバルビット線ディスチャージ回路112, 122に $1 \times 2 = 2$ 素子、グローバルビット線選択プリチャージ回路113, 123に $2 \times 2 = 4$ 素子、トラン
- 20 スファ回路114, 124に $1 \times 2 = 2$ 素子、センスラッチノード制御回路115, 125に $1 \times 2 = 2$ 素子、オール判定回路116, 126に $1 \times 2 = 2$ 素子、Y選択スイッチ回路117, 127に $1 \times 2 = 2$ 素子、がそれぞれ必要となる。

- そこで、本発明の目的は、面積低減（素子数削減）が可能なシングル
- 25 エンドセンス方式を採用しながら、センスラッチ回路におけるセンス動作の誤動作を防止することができる不揮発性半導体記憶装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

## 発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

- 5      すなわち、本発明による不揮発性半導体記憶装置は、前記目的を達成するために、以下のような特徴を有するものである。

- （１）センスラッチ回路がビット線の一方の端に接続され、メモリセルのしきい値電圧に応じたビット線上のデータを検知するシングルエンドセンス方式を採用しながら、ビット線とセンスラッチ回路との間に
- 10   接続されたNMOSEFTによりビット線上のデータをゲートで受けてセンスラッチ回路のノードを駆動する方式、いわゆるNMOSゲート受けセンス方式と呼ばれる技術を併用したフラッシュメモリにおいて、ビット線に接続され、ビット線をプリチャージするビット線プリチャージ回路と、このビット線プリチャージ回路に接続され、ビット線のプリ
- 15   チャージ電圧をNMOSEFTのしきい値電圧に依存させて発生する電源回路とを有するものである。

- このシングルエンドセンス方式とNMOSゲート受けセンス方式を併用した技術では、前述した本発明の第２の前提技術によるシングルエンドセンス方式において、センスラッチ回路のみでセンスを行った場合、
- 20   誤動作する可能性があるため、たとえば図１０（ｃ）に示すように、センス側のグローバルビット線G-BLをNMOSEFTのゲートに接続する構成のNMOSゲート受けセンス方式に変更するものである。

- その上、前述したNMOSゲート受けセンス方式では、グローバルビット線のプリチャージ電圧とNMOSEFTのしきい値電圧との差を
- 25   常に一定に保つ必要があるが、このしきい値電圧はプロセスのばらつきにより変動して一定とはならないため、しきい値電圧依存を付加した電圧を用いることにより、しきい値電圧が変動しても電圧差が一定になるようにしたものである。

- （２）前記（１）のフラッシュメモリにおいて、ビット線プリチャージ

ジ回路は、電圧値が異なる第 1 の電位と第 2 の電位が供給可能であり、ビット線をディスチャージする機能をさらに有し、ビット線をプリチャージするときはビット線プリチャージ回路に第 1 の電位を供給し、ビット線をディスチャージするときはビット線プリチャージ回路に第 2 の電位を供給するように構成して、グローバルビット線ディスチャージ回路を削減するようにしたものである。

(3) 前記 (2) のフラッシュメモリにおいて、ビット線に接続され、ビット線を選択的にプリチャージするビット線選択プリチャージ回路をさらに有し、このビット線選択プリチャージ回路は、電圧値が異なる第 3 の電位と第 4 の電位が供給可能であり、ビット線プリチャージ回路と共に動作してセンスラッチ回路のデータを判定する機能をさらに有し、ビット線を選択的にプリチャージするときはビット線選択プリチャージ回路に第 3 の電位を供給し、センスラッチ回路のデータを判定するときはビット線選択プリチャージ回路に第 4 の電位を供給し、ビット線プリチャージ回路に第 2 の電位を供給するように構成して、オール判定回路を削減するようにしたものである。

(4) 前記 (1) のフラッシュメモリにおいて、センスラッチ回路のノードに接続され、センスラッチ回路と共通入出力線との間でデータを入出力する選択回路をさらに有し、この選択回路は、電圧値が異なる第 5 の電位と第 6 の電位が供給可能であり、センスラッチ回路のノードをプリチャージおよびディスチャージする機能をさらに有し、センスラッチ回路と共通入出力線との間でデータを入出力するときは選択回路を介して接続し、センスラッチ回路のノードをプリチャージするときは選択回路に第 5 の電位を供給し、センスラッチ回路のノードをディスチャージするときは選択回路に第 6 の電位を供給するように構成して、センスラッチノード制御回路を削減するようにしたものである。

#### 図面の簡単な説明

図 1 は本発明の不揮発性半導体記憶装置の一実施の形態のフラッシ



メモリを示す概略構成図、図 2 は本発明の一実施の形態のフラッシュメモリにおいて、メモリアレイの要部を示す回路図、図 3 はシングルエンドセンス方式（NMOS ゲート受けセンス方式）の Y 系直接周辺回路を示す回路図、図 4 はしきい値電圧依存付き電源回路を示す回路図、図 5 (a), (b) は本発明の第 2 の前提技術と本発明の技術とを比較するために、しきい値電圧依存性を示す特性図、図 6 (a), (b) は本発明の第 1 の前提技術と本発明の技術とを比較するために、グローバルビット線プリチャージ/ディスチャージ回路を示す回路図、図 7 (a), (b) はグローバルビット線選択プリチャージ/オール判定回路を示す回路図、図 8 (a), (b) は Y 選択スイッチ/センスラッチノード制御回路を示す回路図、図 9 は本発明の第 1 の前提技術であるオープンビットセンス方式の Y 系直接周辺回路を示す回路図、図 10 (a), (b), (c) は本発明の第 1、第 2 の前提技術と本発明の技術とを比較するために、オープンビットセンス方式/シングルエンドセンス方式/NMOS ゲート受けセンス方式のセンス動作を示す説明図である。

#### 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

図 1 により、本発明の不揮発性半導体記憶装置の一実施の形態のフラッシュメモリの構成の一例を説明する。

本実施の形態のフラッシュメモリは、特に限定されるものではないが、たとえば一例として、各メモリセルに複数ビットのデータをしきい値電圧として記憶可能であり、独立に動作可能な複数のバンク構成からなるフラッシュメモリとされ、4 つのバンク 1～4 と、各バンク 1～4 に対応するセンスラッチ列 5～8、Y 系制御回路 9～12 および SRAM 13～16 と、間接周辺回路 17 などから構成され、これらの各回路を構成する回路素子は公知の半導体集積回路の製造技術によって単結晶シ

リコンのような１個の半導体基板上に形成されている。

バンク１～４は、それぞれ、メモリアレイ２１と、このメモリアレイ  
２１のＹ方向（＝ワード線方向）における中央と外側に配置される３つ  
のサブデコーダ２２～２４と、１つのサブデコーダ２２の外側に配置さ  
5 れるメインデコーダ２５と、メモリアレイ２１のＸ方向（＝ビット線方  
向）における外側に配置される１つのゲートデコーダ２６などから構成  
される。メモリアレイ２１は、詳細は後述するが、複数のワード線２７  
と複数のビット線２８とに接続され、コントロールゲートおよびフロー  
ティングゲートを有する複数のメモリセル２９が並列接続された複数  
10 のメモリ列から構成される。サブデコーダ２２～２４、メインデコーダ  
２５およびゲートデコーダ２６は、デコード結果に従い、各メモリアレ  
イ２１内の任意のメモリセル２９に接続される１本のワード線２７を  
選択レベルとする。

センスラッチ列５～８は、それぞれ、バンク１～４に隣接して、２つ  
15 のバンク１とバンク２、バンク３とバンク４の間に挟まれるようにして  
配置されている。このセンスラッチ列５～８は、詳細は後述するが、シ  
ングルエンドセンス方式（ＮＭＯＳゲート受けセンス方式）を採用し、  
読み出し時にビット線２８のレベルを検出するとともに、書き込み時に  
書き込みデータに応じた電位を与える。Ｙ系制御回路９～１２は、それ  
20 ぞれ、センスラッチ列５～８に隣接して、チップの周辺部に配置されて  
いる。このＹ系制御回路９～１２は、センスラッチ列の制御、書き込み  
データおよび読み出しデータを転送する。ＳＲＡＭ１３～１６は、それ  
ぞれ、Ｙ系制御回路９～１２に隣接して、チップの周辺部に配置されて  
いる。このＳＲＡＭ１３～１６は、書き込みデータおよび読み出しデー  
25 タを保持する。

間接周辺回路１７は、チップの周辺部に配置されている。この間接周  
辺回路１７には、消去動作、書き込み動作、読み出し動作などを制御す  
るための制御回路３１や、各動作に必要な各種電圧を発生するための電  
源回路３２、外部から入力されるアドレス信号や書き込みデータ、コマ

ンド、制御信号などを取り込んで各内部回路に供給するとともに、読み出しデータを出力するための入出力回路 33 などが含まれる。入出力回路 33 は、チップの周辺部の X 方向における外側に配置され、外部に接続する外部端子となる複数のパッド 34 が設けられている。

5 図 2 により、本実施の形態のフラッシュメモリにおいて、メモリアレイの構成の一例を説明する。本実施の形態のフラッシュメモリにおけるメモリアレイは、特に限定されるものではないが、たとえば一例として、AG-AND 型と呼ばれるメモリアレイ構成を例に示しているが、AND 型や NAND 型などの種々のメモリアレイ構成についても適用可能  
10 である。また、各メモリセルには、しきい値電圧を 2 段階に設定して 2 値のデータを記憶したり、または 4 段階に設定して 4 値のデータを記憶したり、さらには 3 段階あるいは 5 段階以上に設定して多値のデータを記憶できるようにしたフラッシュメモリについても適用可能であることはいうまでもない。

15 図 2 は、メモリアレイの 1 つのブロックを示す。このブロックは、各バンクの一部分からなり、複数のストリングからなる 1 つのまとまりを単位とする。また、ストリングは、ビット線に接続されたメモリ列の複数のメモリセルからなる 1 つのまとまりを単位とする。

メモリアレイは、1 つのブロックに、ワード線方向に複数のストリン  
20 グが並列形態で配置されている。1 つのストリングには、ビット線方向に、複数のメモリセルが並列形態で接続されて配置されている。ここでは、1 ブロック当たり、ワード線を  $W_1 \sim W_m$  の  $m$  本、ビット線を  $D_1 \sim D_n$  の  $n$  本とし、ストリングが  $n$  個で、メモリセルが  $MC_{11} \sim MC_{mn}$  の  $m \times n$  個からなる場合を示している。すなわち、1 ストリング当  
25 たりには  $m$  個のメモリセルが配置される。

たとえば、1 つのストリングの  $m$  個のメモリセル  $MC_{11} \sim MC_{m1}$  からなるメモリ列は、それぞれのメモリセル  $MC_{11} \sim MC_{m1}$  のゲートが各ワード線  $W_1 \sim W_m$  に接続されて、それぞれのドレインが共通に接続され、ドレイン側制御信号線  $S_{DO}$  の信号により駆動されるドレイ

ン側選択MOSFETQD1を介してビット線D1に接続されるとともに、ソース側制御信号線SSEの信号により駆動されるソース側選択MOSFETQS1を介して共通ソース線CSに接続される。また、このメモリ列は、それぞれのソースがゲート制御信号線AGOの信号により駆動されるMOSFETQA11～QAm1をそれぞれ介して共通に接続され、ソース側制御信号線SSOの信号により駆動されるソース側選択MOSFETQS0を介して共通ソース線CSに接続される。

また、前述のメモリ列に隣接するメモリセルMC12～MCm2からなるメモリ列は、それぞれのメモリセルMC12～MCm2のゲートが各ワード線W1～Wmに接続されて、それぞれのドレインが共通に接続され、ドレイン側制御信号線SDEの信号により駆動されるドレイン側選択MOSFETQD2を介してビット線D2に接続されるとともに、ソース側制御信号線SSOの信号により駆動されるソース側選択MOSFETQS2を介して共通ソース線CSに接続される。また、このメモリ列は、それぞれのソースがゲート制御信号線AGEの信号により駆動されるMOSFETQA12～QAm2をそれぞれ介して共通に接続され、ドレイン側制御信号線SDOの信号により駆動されるドレイン側選択MOSFETQD1を介してビット線D1に接続されるとともに、ソース側制御信号線SSEの信号により駆動されるソース側選択MOSFETQS1を介して共通ソース線CSに接続される。

同様に、奇数列目のメモリ列は、前述のメモリセルMC11～MCm1からなるメモリ列と同じように、それぞれのメモリセルMCはワード線Wおよびビット線Dに接続されるとともに、ドレイン側制御信号線SDO、ソース側制御信号線SSE、ゲート制御信号線AGO、ソース側制御信号線SSOの各信号により駆動されるように接続され、また偶数列目のメモリ列は、前述のメモリセルMC12～MCm2からなるメモリ列と同じように、それぞれのメモリセルMCはワード線Wおよびビット線Dに接続されるとともに、ドレイン側制御信号線SDE、ソース側制御信号線SSO、ゲート制御信号線AGE、ドレイン側制御信号線S

DO、ソース側制御信号線SSEの各信号により駆動されるように接続されている。

このメモリアレイの構成において、ワード線W1～Wmはサブデコーダおよびメインデコーダに接続され、このサブデコーダおよびメインデコーダのデコード結果に従い、各メモリアレイ内の1本のワード線Wが選択され、この選択されたワード線Wにデータの消去、書き込みおよび読み出しの各動作時にそれぞれ所定の電圧が印加される。また、消去、書き込みおよび読み出しの各動作時には、ワード線Wの他に、ビット線Dや、ドレイン側制御信号線SDO、SDE、ソース側制御信号線SSE、SSO、ゲート制御信号線AGO、AGEの各信号線にも所定の電圧が供給されて、メモリセルMCのソースおよびドレインに所定の電圧が印加されるように構成されている。

図3により、本実施の形態のフラッシュメモリにおいて、シングルエンドセンス方式（NMOSゲート受けセンス方式）のY系直接周辺回路の一例を説明する。

図3に示すように、シングルエンドセンス方式（NMOSゲート受けセンス方式）のY系直接周辺回路は、センスラッチ回路41と、このセンスラッチ回路41につながるグローバルビット線上に接続された、グローバルビット線プリチャージ/ディスチャージ回路42、グローバルビット線選択プリチャージ/オール判定回路43、トランスファ回路44、オール判定回路45、Y選択スイッチ/センスラッチノード制御回路46、47、およびNMOSゲート受けセンス回路48などから構成される。なお、センスラッチ回路41につながるグローバルビット線は、前記図2に示したビット線に対応する。

センスラッチ回路41は、メモリセルのしきい値状態をセンスし、このセンス後のデータをラッチする回路である。このセンスラッチ回路41は、2つのPMOSFETQ1、Q2と2つのNMOSFETQ3、Q4からなるCMOS構成のラッチ型（ゲート・ドレイン交差型）の回路形式となっており、PMOSFETQ1、Q2の高電位側は信号線S

LPに、NMOSFETQ3, Q4の低電位側は信号線SLNにそれぞれ接続されている。

グローバルビット線プリチャージ/ディスチャージ回路42は、グローバルビット線G-BLの一括プリチャージを行う機能と、グローバルビット線G-BLの一括ディスチャージを行う機能とを兼ね備えた回路である。このグローバルビット線プリチャージ/ディスチャージ回路42は、1つのNMOSFETQ5からなり、グローバルビット線G-BLと信号線FPCとの間に接続され、ゲートは信号線RPCDに接続されて駆動される。

グローバルビット線選択プリチャージ/オール判定回路43は、グローバルビット線G-BLの単位での選択的なプリチャージを行う機能と、センスラッチ回路41のラッチデータのオール判定を行う機能とを兼ね備えた回路である。このグローバルビット線選択プリチャージ/オール判定回路43は、2つのNMOSFETQ6, Q7が接続されて構成され、グローバルビット線G-BLと信号線FPC/ECUとの間に接続され、一方のNMOSFETQ6はゲートが信号線PCに接続されて駆動され、他方のNMOSFETQ7はゲートがグローバルビット線G-BLに接続されて駆動される。

トランスファ回路44は、センスラッチ回路41とグローバルビット線G-BLとの接続/分離を行う回路である。このトランスファ回路44は、1つのNMOSFETQ8からなり、グローバルビット線G-BLとセンスラッチ回路41の一方（グローバルビット線側）のノードNRとの間に接続され、ゲートが信号線TRに接続されて駆動される。

オール判定回路45は、センスラッチ回路41のラッチデータのオール判定を行う回路である。このオール判定回路45は、1つのNMOSFETQ9からなり、信号線ECDと接地電位との間に接続され、ゲートがセンスラッチ回路41の他方（グローバルビット線と反対側）のノードNSに接続されて駆動される。

Y選択スイッチ/センスラッチノード制御回路46, 47は、センス

ラッチ回路 4 1 と共通入出力線 C I O との間でデータを入出力するためのスイッチ機能と、センスラッチ回路 4 1 のノードのチャージ/ディスチャージを行う機能とを兼ね備えた回路である。この Y 選択スイッチ/センスラッチノード制御回路 4 6, 4 7 は、センスラッチ回路 4 1 の  
5 両側の各ノード N R, N S に接続された 2 つの N M O S F E T Q 1 0, Q 1 1 からなる。たとえば、リファレンス側となる一方の N M O S F E T Q 1 0 は、センスラッチ回路 4 1 の一方のノード N R と共通入出力線 C I O との間に接続され、ゲートが信号線 Y S に接続されて駆動される。たとえば、センス側となる他方の N M O S F E T Q 1 1 は、センスラッ  
10 チ回路 4 1 の他方のノード N S と共通入出力線 C I O との間に接続され、ゲートが信号線 Y S に接続されて駆動される。

N M O S ゲート受けセンス回路 4 8 は、センス動作を行う機能と、センスラッチ回路 4 1 の誤動作を防止するために、センスラッチ回路 4 1 のノードの信号量を十分に確保された状態にする機能とを兼ね備えた  
15 回路である。この N M O S ゲート受けセンス回路 4 8 は、2 つの N M O S F E T Q 1 2, Q 1 3 が接続されて構成され、センスラッチ回路 4 1 の他方のノード N S と接地電位との間に接続され、一方の N M O S F E T Q 1 2 はゲートがグローバルビット線 G - B L に接続されて駆動され、他方の N M O S F E T Q 1 3 はゲートが信号線 S E N S E に接続されて駆動される。  
20

従って、Y 系直接周辺回路のシングルエンドセンス方式（N M O S ゲート受けセンス方式）では、センス側のグローバルビット線 G - B L を N M O S F E T Q 1 2 のゲートに接続する構成を採用し、この N M O S F E T Q 1 2 でグローバルビット線電圧のセンスを行い、センスラッチ  
25 回路 4 1 のノード N S をドライブする。次に、センスラッチ回路 4 1 のノード N S の信号量が十分確保された状態でセンスラッチ回路 4 1 を起動することにより、センスラッチ回路 4 1 の両側のノード N S とノード N R の容量をほぼ同じにして誤動作を防ぐことができる。

また、シングルエンドセンス方式の採用により、1 本のビット線当た

りに必要な各回路の素子に着目すると、前述した本発明の第1の前提技術によるオープンビットセンス方式の20素子に対して17素子となり、3素子の削減となる。これは、2本のグローバルビット線G-BLを制御するために必要だった回路が1/2にできるための5素子削減と、NMOSゲート受けセンス方式の採用による2素子追加によるものである。

図4により、NMOSゲート受けセンス回路において、しきい値電圧依存付き電源回路の一例を説明する。併せて、図5により、しきい値電圧依存性について、図4のしきい値電圧依存付き電源回路を用いない本発明の第2の前提技術の場合(a)と、しきい値電圧依存付き電源回路を用いた本発明の技術の場合(b)とを比較して説明する。

図4に示すように、しきい値電圧依存付き電源回路は、NMOSゲート受けセンス回路48のNMOSFETQ12と、グローバルビット線プリチャージ/ディスチャージ回路42のNMOSFETQ5との接続構成に対して、NMOSFETQ5のゲートにしきい値電圧付加電源51が接続されて構成される。すなわち、NMOSゲート受けセンス回路48のNMOSFETQ12は、センスラッチ回路41のノードNSと接地電位との間に接続され、ゲートがグローバルビット線G-BLに接続される。グローバルビット線プリチャージ/ディスチャージ回路42のNMOSFETQ5は、グローバルビット線G-BLと信号線FPCとの間に接続され、ゲートがしきい値電圧付加電源51に接続される。

しきい値電圧付加電源51は、差動アンプ52、しきい値電圧かさ上げ回路53、アンプ54、およびドライバ55などから構成され、差動アンプ52の一方の入力に所定の電圧が印加され、しきい値電圧かさ上げ回路53、アンプ54を介して、ドライバ55からグローバルビット線プリチャージ/ディスチャージ回路42のNMOSFETQ5のゲートに所定の電圧が出力されるような構成となっている。

差動アンプ52は、定電流源56と、差動回路構成の2つのPMOSFETQ21, Q22および2つのNMOSFETQ23, Q24から



なり、定電流源 5 6 は電源電位に接続され、また PMOS FET Q 2 1 , Q 2 2 の高電位側は定電流源 5 6 に、NMOS FET Q 2 3 , Q 2 4 の低電位側は接地電位にそれぞれ接続され、一方の PMOS FET Q 2 1 のゲートに電圧が印加される。

- 5 しきい値電圧かさ上げ回路 5 3 は、定電流源 5 7 と、縦積み構成の 3 つの NMOS FET Q 2 5 ~ Q 2 7 からなり、定電流源 5 7 は電源電位に接続され、また NMOS FET Q 2 5 の高電位側は定電流源 5 7 に、NMOS FET Q 2 7 の低電位側は接地電位にそれぞれ接続され、NMOS FET Q 2 6 と NMOS FET Q 2 7 との接続ノードが差動アン  
10 プ 5 2 の他方の PMOS FET Q 2 2 のゲートに接続される。また、NMOS FET Q 2 7 のゲートが、差動アンプ 5 2 の NMOS FET Q 2 3 , Q 2 4 の共通接続されたゲートに接続される。

- アンプ 5 4 は、負入力端子にしきい値電圧かさ上げ回路 5 3 からの出力電圧が入力され、正入力端子はしきい値電圧付加電源 5 1 の出力電圧  
15 に接続される。このアンプ 5 4 の出力電圧はドライバ 5 5 の PMOS FET Q 2 8 のゲートに入力され、このドライバ 5 5 からしきい値電圧依存付き電源として出力される。

- たとえば、このしきい値電圧付加電源 5 1 において、差動アンプ 5 2 の一方の PMOS FET Q 2 1 のゲートに約 0.5 V の電圧が印加され  
20 ると、他方の PMOS FET Q 2 2 のゲートに約 0.5 V の電圧が現れ、さらにこの約 0.5 V はしきい値電圧かさ上げ回路 5 3 の NMOS FET Q 2 6 のしきい値電圧  $V_{thN1}$ 、NMOS FET Q 2 5 のしきい値電圧  $V_{thN2}$  の各電圧分かさ上げされ、そしてアンプ 5 4 およびドライバ 5 5 を介して、このドライバ 5 5 から  $(V_{thN1} + V_{thN2} +$   
25  $0.5 V)$  の電圧として出力される。

また、NMOS ゲート受けセンス回路 4 8 の NMOS FET Q 1 2 のしきい値電圧  $V_{thN2}'$  をしきい値電圧かさ上げ回路 5 3 の NMOS FET Q 2 5 のしきい値電圧  $V_{thN2}$  とほぼ等しい値とし、かつグローバルビット線プリチャージ/ディスチャージ回路 4 2 の NMOS F

ETQ5のしきい値電圧 $V_{thN1}'$ をしきい値電圧かさ上げ回路53のNMOSFETQ26のしきい値電圧 $V_{thN1}$ とほぼ等しい値とすることで、しきい値電圧のばらつきが相殺され、グローバルビット線G-BLに常に一定の( $V_{thN2} + 0.5V$ )のプリチャージ電圧を  
5 供給することができる。なお、NMOSFETQ26とNMOSFETQ5、NMOSFETQ25とNMOSFETQ12のしきい値電圧の関係を、 $V_{thN1} \simeq V_{thN1}'$ 、 $V_{thN1} \simeq V_{thN1}'$ にするには、設計上において、NMOSFETのサイズ、特にゲート長を等しくすることで可能となる。

10 具体的に、前述のしきい値電圧依存付き電源回路を用いない場合と用いた場合とを比較すると図5のようになり、(a)はしきい値電圧依存付き電源回路を用いない、 $V_{th}$ 依存なしの場合、(b)はしきい値電圧依存付き電源回路を用いた、 $V_{th}$ 依存付きの場合をそれぞれ示す。

すなわち、NMOSゲート受けセンス回路48のNMOSFETQ12のしきい値電圧 $V_{th}$ に $\pm 0.1V$ のばらつきがある例において、  
15 (a)の $V_{th}$ 依存なしの場合には、グローバルビット線G-BLのプリチャージ電圧は、たとえば $1.2V$ となり、NMOSFETQ12のしきい値電圧によってプリチャージ電圧の電位差が異なるため、センスマージンが減少する。これに対して、本発明を適用した(b)の $V_{th}$   
20 依存付きの場合には、NMOSFETQ12のしきい値電圧が高ければグローバルビット線G-BLのプリチャージ電圧も高くなり、逆に低ければ低くなり、よってグローバルビット線G-BLのプリチャージ電圧は、たとえば( $V_{th} + 0.5V$ )となり、NMOSFETQ12のしきい値電圧によらず、常にプリチャージ電圧の電位差を一定にすることが  
25 できるので、センスマージンの確保につながる。

従って、しきい値電圧依存性については、NMOSゲート受けセンス方式のセンスポイントはNMOSFETQ12のしきい値電圧となり、グローバルビット線G-BLのプリチャージ電圧としきい値電圧との差を常に一定に保つ必要があるが、前述した本発明の第2の前提技術で

はしきい値電圧はプロセスのばらつきにより変動するために一定とはならず、センスマージンが減少する。そこで、本発明のように、しきい値電圧依存を付加した電圧を用いることにより、しきい値電圧が変動しても電圧差が一定になるようにすることが可能となる。

5      図6により、グローバルビット線ディスチャージ回路の削減について、グローバルビット線プリチャージ回路とディスチャージ回路とを別々に設けた本発明の第1の前提技術の場合(a)と、グローバルビット線プリチャージ／ディスチャージ回路で共有した本発明の技術の場合(b)とを比較して説明する。

10      (a)に示す前述した本発明の第1の前提技術によるオープンビットセンス方式では、グローバルビット線G-BLのプリチャージ回路111とディスチャージ回路112の2素子が存在する。これは、グローバルビット線G-BLのプリチャージ動作は隣接の干渉を低減するために2相動作としていることによるものである。

15      たとえば、フェーズ0においては、信号線RPC0の信号によりMOSFETQ61aをオンにし、信号線FPCにVcc電位を供給してグローバルビット線G-BLをプリチャージする。なお、この時、信号線DDC0の信号により駆動されるMOSFETQ62aはオフ状態である。このフェーズ0のプリチャージの際に、フェーズ1においては、  
20      信号線DDC1の信号によりMOSFETQ62bをオンにして、グローバルビット線G-BLをVss電位に固定することにより、シールドとして機能させる。なお、この時、信号線RPC1の信号により駆動されるMOSFETQ61bはオフ状態である。

25      これに対して、(b)に示す本発明の技術のグローバルビット線プリチャージ／ディスチャージ回路42では、ソース電圧を供給する信号線FPCの電位をフェーズ毎にFPC0／FPC1に分けてVcc／Vssと別の電位を出力することにより、ディスチャージ回路を削減して、2素子から1素子への素子数の低減を図ることができる。もちろん、グローバルビット線G-BLのプリチャージ動作、ディスチャージ動作に

においては、フェーズ 0 とフェーズ 1 による 2 相動作を前記と同様に維持することができる。

たとえば、フェーズ 0 においては、信号線 R P C D 0 の信号により M O S F E T Q 5 a をオンにし、信号線 F P C 0 に V c c 電位を供給して  
5 グローバルビット線 G - B L をプリチャージする。このフェーズ 0 のプリチャージの際に、フェーズ 1 においては、信号線 R P C D 1 の信号により M O S F E T Q 5 b をオンにし、信号線 F P C 1 に V s s 電位を供給してグローバルビット線 G - B L を V s s 電位にディスチャージすることにより、シールドとして機能させることができる。

10 図 7 により、オール判定回路の削減について、センスラッチ回路の両側にオール判定回路を別々に設けた本発明の第 1 の前提技術の場合 ( a ) と、センスラッチ回路の片側にのみオール判定回路を設け、他の片側はグローバルビット線選択プリチャージ/オール判定回路で共有した本発明の技術の場合 ( b ) とを比較して説明する。

15 ( a ) に示す前述した本発明の第 1 の前提技術によるオープンビットセンス方式では、センスラッチ回路 1 0 1 の両側にオール判定回路 1 1 6 , 1 2 6 を別々に配置して、それぞれのオール判定回路 1 1 6 , 1 2 6 でセンスラッチ回路 1 0 1 のラッチデータの判定を行うため、2 素子が必要となる。

20 これに対して、( b ) に示す本発明の技術では、センスラッチ回路 4 1 の片側のオール判定回路の機能を、グローバルビット線選択プリチャージ/オール判定回路 4 3 、グローバルビット線プリチャージ/ディスチャージ回路 4 2 を利用して行うことにより、2 素子から 1 素子へ削減することができる。もちろん、削減したオール判定回路のオール判定動作の機能は、グローバルビット線選択プリチャージ/オール判定回路 4  
25 3 のソース電圧を供給する信号線 F P C / E C U の電位を分けて、オール判定時に E C U の電位を出力することにより、同様に可能となる。

すなわち、オール判定の時は、信号線 P C の信号により N M O S F E T Q 6 、信号線 R P C D の信号により N M O S F E T Q 5 をそれぞれオ

ンにし、NMOSFETQ5の信号線FPCの電位をV<sub>ss</sub>電位、NMOSFETQ7の信号線FPC/ECUの電位をECU電位にそれぞれすることで、NMOSFETQ7のゲートが接続されるセンスラッチ回路41のノードの“H”または“L”の電圧レベルを判定することができる。

5       なお、選択プリチャージの時は、信号線PCの信号によりNMOSFETQ6をオンにし、NMOSFETQ7の信号線FPC/ECUの電位をV<sub>cc</sub>電位にすることで、センスラッチ回路41のノードが“H”の電圧レベルであればグローバルビット線G-BLを選択的にプリチャージすることができる。

10       図8により、センスラッチノード制御回路の削減について、センスラッチノード制御回路を設けた本発明の第1の前提技術の場合（a）と、Y選択スイッチ/センスラッチノード制御回路で共用した本発明の技術の場合（b）とを比較して説明する。

15       （a）に示す前述した本発明の第1の前提技術によるオープンビットセンス方式では、センスラッチ回路101の両側にセンスラッチノード制御回路115、125を配置して、それぞれのセンスラッチノード制御回路115、125でセンスラッチ回路101のノードのチャージ/ディスチャージを行うため、2素子が必要となる。

20       これに対して、（b）に示す本発明の技術では、センスラッチノード制御回路の機能を、Y選択スイッチ/センスラッチノード制御回路46、47を利用して行うことにより、2素子から0素子へ削減することができる。もちろん、削減したセンスラッチノード制御回路のチャージ/ディスチャージの機能は、Y選択スイッチ/センスラッチノード制御回路  
25       46、47の共通入出力線CIOをチャージ/ディスチャージとしても使い分けることにより、同様に可能となる。

      たとえば、プリチャージの時は、信号線YSの信号によりNMOSFETQ10、Q11をオンにし、共通入出力線CIOをV<sub>cc</sub>電位にすることで、センスラッチ回路41のノードをチャージすることができる。

また、ディスチャージの時は、信号線Y Sの信号によりNMOS FET Q 1 0, Q 1 1をオンにし、共通入出力線C I OをV s s電位にすることで、ディスチャージを行うことができる。

5     なお、Y選択の時は、信号線Y Sの信号によりNMOS FET Q 1 0, Q 1 1をオンにすることで、センスラッチ回路4 1と共通入出力線C I Oとの間でデータを入出力することができる。

従って、本実施の形態のフラッシュメモリによれば、以下のような効果を得ることができる。

10     (1) シングルエンドセンス方式を採用しながら、NMOS ゲート受けセンス方式のMOS FETをしきい値電圧依存付き電圧により駆動することにより、センスラッチ回路4 1におけるセンス動作の誤動作を防止するとともに、本発明の第1の前提技術によるオープンビットセンス方式並みのセンス動作範囲を確保することができる。すなわち、①センス電圧をNMOS FET Q 1 2でセンスし、信号量を十分確保した状態  
15     でセンスラッチ回路4 1を起動すること、②しきい値電圧付加電源5 1の出力電圧でグローバルビット線G-B Lをプリチャージすることにより、プリチャージ電圧とセンス用のNMOS FET Q 1 2のしきい値電圧との差を常に一定にすること、の2点によるものである。

20     (2) シングルエンドセンス方式と、しきい値電圧依存付き電圧により駆動するNMOS ゲート受けセンス方式を採用することにより、本発明の第1の前提技術によるオープンビットセンス方式に比べて、Y系直接周辺回路の各回路に必要な素子数を1ビット線当たり20素子から17素子に削減することができる。

25     (3) 本発明の第1の前提技術によるオープンビットセンス方式に対して、グローバルビット線ディスチャージ回路1 1 2 (1 2 2)、オール判定回路1 1 6、センスラッチノード制御回路1 1 5 (1 2 5)の削減により、1ビット線当たり17素子から13素子に削減することができる。

(4) フラッシュメモリの製品としては、この製品 (たとえばA G-

AND型メモリアレイ構成を用いた1 G b i t多値フラッシュメモリ) 上には前述した1ビット当たりのY系直接周辺回路は32k個存在するため、20素子から13素子への削減により、1製品当たり224k素子の削減が可能となる。これは、チップ面積では約5%の削減となる。

5 (5) Y系直接周辺回路の回路構成を変更しても、本発明の前提技術並みにセンスマージンを確保することができ、このセンス回路の構成変更による素子数削減およびその他の制御回路の素子数削減により、Y系直接周辺回路、さらにはフラッシュメモリの面積低減を図ることが可能となる。

10 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

#### 15 産業上の利用可能性

以上のように、本発明にかかる半導体記憶装置は、特にセンスラッチ回路をビット線の一方の端に配置して、このセンスラッチ回路によりメモリセルのしきい値電圧に応じたビット線上の電圧を検知するシングルエンドセンス方式を採用しながら、センス電圧をMOSFETのゲートで受けてセンスラッチ回路のノードを駆動するNMOSゲート受け  
20 センス方式を併用したフラッシュメモリに有用であり、さらにシングルエンドセンス方式を採用した不揮発性半導体記憶装置や、フラッシュメモリを用いた半導体装置、半導体メモリカード、半導体メモリモジュールなどに広く適用することができる。

## 請 求 の 範 囲

1. 複数のワード線と、

複数のビット線と、

それぞれ対応する 1 本のワード線および 1 本のビット線に接続され、

5    コントロールゲートおよびフローティングゲートを有する複数のメモリセルと、

前記ビット線の一方向の端に接続され、前記メモリセルのしきい値電圧に応じた前記ビット線上のデータを検知するセンスラッチ回路と、

前記ビット線と前記センスラッチ回路との間に接続され、前記ビット  
10    線上のデータをゲートで受けて前記センスラッチ回路のノードを駆動する MOSFET と、

前記ビット線に接続され、前記ビット線をプリチャージするビット線プリチャージ回路と、

前記ビット線プリチャージ回路に接続され、前記ビット線のプリチャ  
15    ージ電圧を前記 MOSFET のしきい値電圧に依存させて発生する電源回路と、を有することを特徴とする不揮発性半導体記憶装置。

2. 請求項 1 記載の不揮発性半導体記憶装置において、

前記ビット線プリチャージ回路は、電圧値が異なる第 1 の電位と第 2  
の電位が供給可能であり、前記ビット線をディスチャージする機能をさ  
20    らに有し、

前記ビット線をプリチャージするときは前記ビット線プリチャージ回路に前記第 1 の電位を供給し、

前記ビット線をディスチャージするときは前記ビット線プリチャ  
ジ回路に前記第 2 の電位を供給する、ことを特徴とする不揮発性半導体  
25    記憶装置。

3. 請求項 2 記載の不揮発性半導体記憶装置において、

前記ビット線に接続され、前記ビット線を選択的にプリチャージする  
ビット線選択プリチャージ回路をさらに有し、

前記ビット線選択プリチャージ回路は、電圧値が異なる第 3 の電位と



第4の電位が供給可能であり、前記ビット線プリチャージ回路と共に動作して前記センスラッチ回路のデータを判定する機能をさらに有し、

前記ビット線を選択的にプリチャージするときは前記ビット線選択プリチャージ回路に前記第3の電位を供給し、

- 5 前記センスラッチ回路のデータを判定するときは前記ビット線選択プリチャージ回路に前記第4の電位を供給し、前記ビット線プリチャージ回路に前記第2の電位を供給する、ことを特徴とする不揮発性半導体記憶装置。

4. 請求項1記載の不揮発性半導体記憶装置において、

- 10 前記センスラッチ回路のノードに接続され、前記センスラッチ回路と共通入出力線との間でデータを入出力する選択回路をさらに有し、

前記選択回路は、電圧値が異なる第5の電位と第6の電位が供給可能であり、前記センスラッチ回路のノードをプリチャージおよびディスチャージする機能をさらに有し、

- 15 前記センスラッチ回路と前記共通入出力線との間でデータを入出力するときは前記選択回路を介して接続し、

前記センスラッチ回路のノードをプリチャージするときは前記選択回路に前記第5の電位を供給し、

- 20 前記センスラッチ回路のノードをディスチャージするときは前記選択回路に前記第6の電位を供給する、ことを特徴とする不揮発性半導体記憶装置。

5. 請求項1、2、3または4記載の不揮発性半導体記憶装置において、

- 25 前記複数のメモリセルは、各メモリセルのゲートが各ワード線に接続され、ドレインが共通にビット線に接続され、ソースがゲート制御信号により駆動されるMOSFETを介して共通に共通線に接続されてなることを特徴とする不揮発性半導体記憶装置。

6. 請求項1、2、3または4記載の不揮発性半導体記憶装置において、

前記複数のメモリセルは、各メモリセルが複数ビットのデータをしきい値電圧として記憶可能とされることを特徴とする不揮発性半導体記

憶装置。

 1

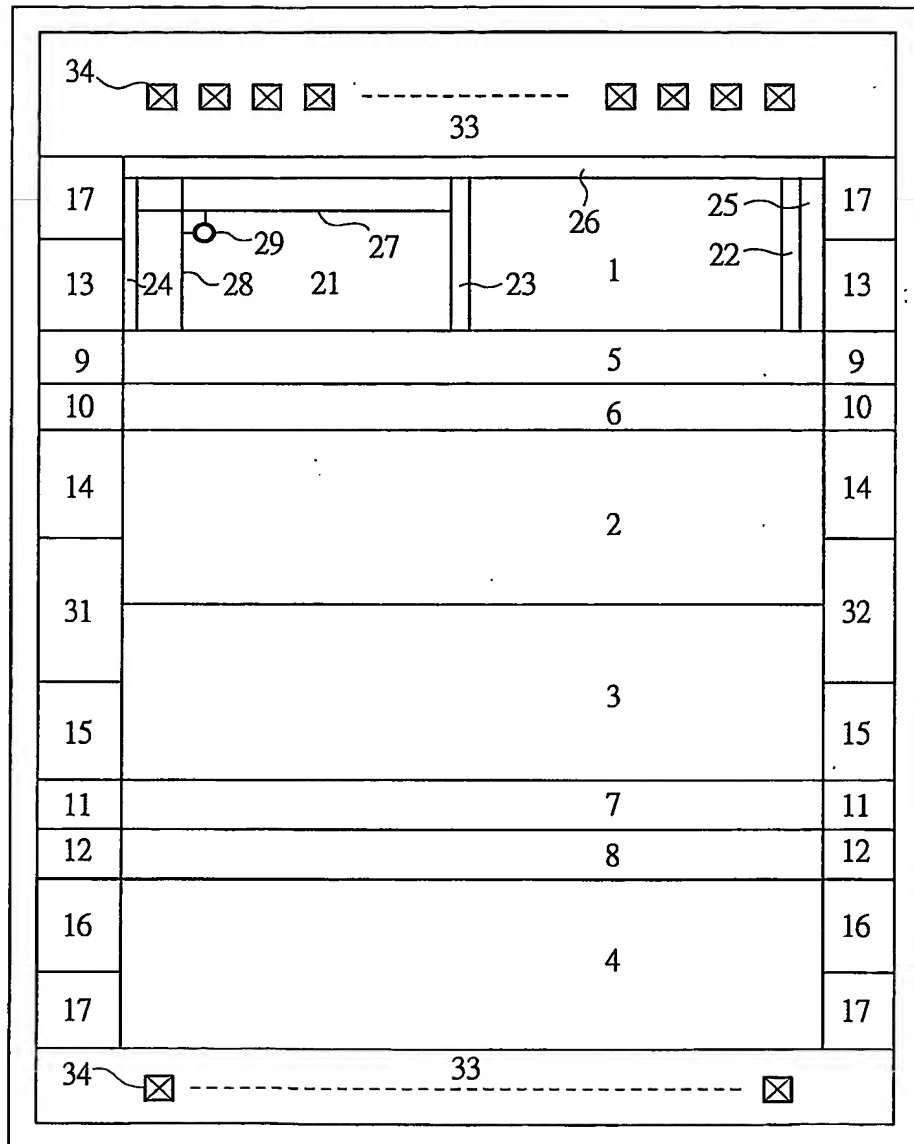


図 2

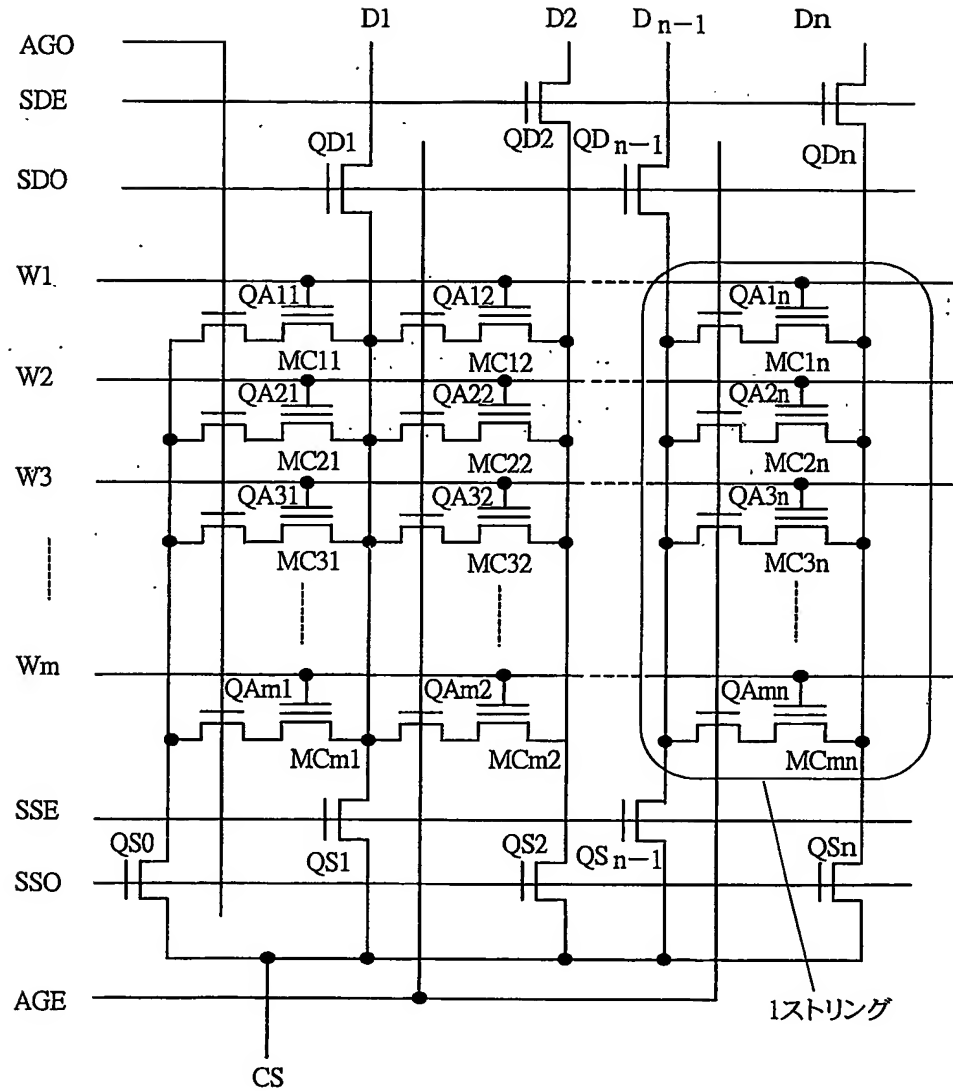
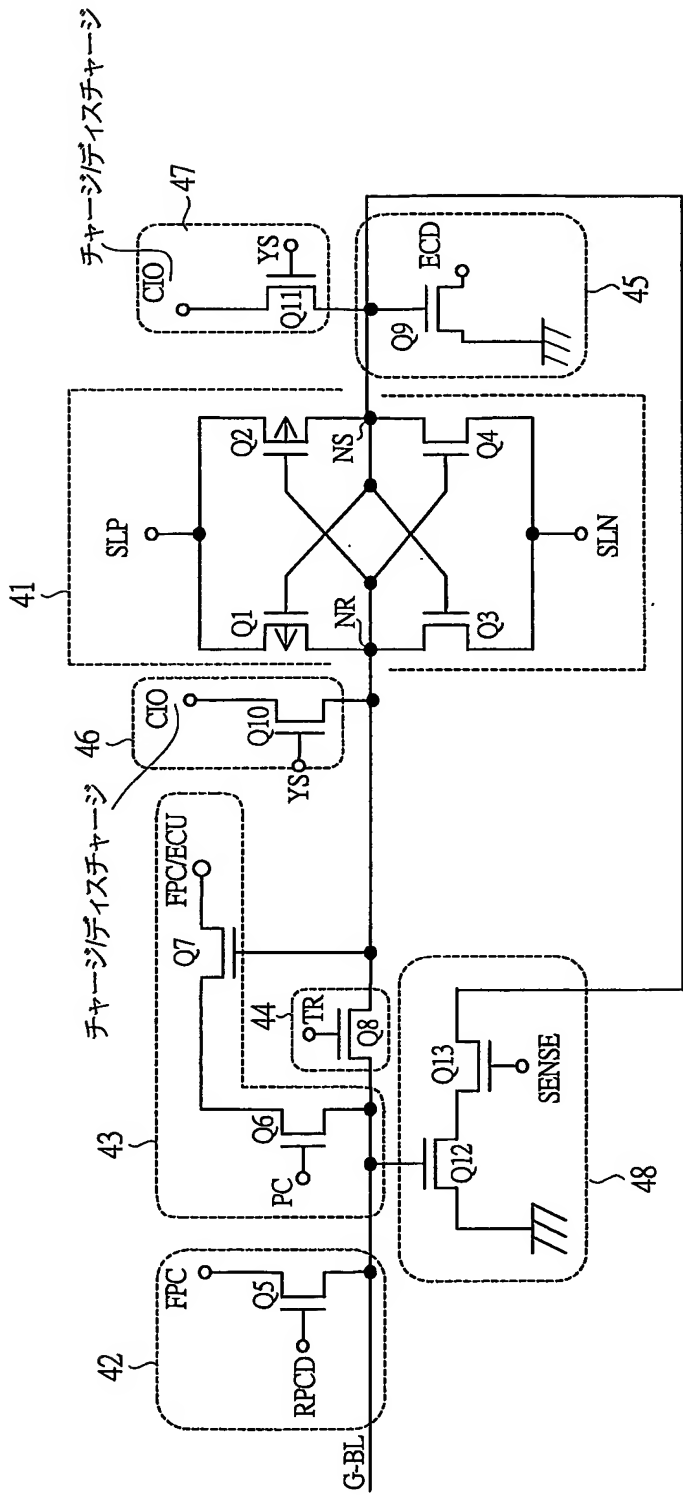


図 3



4

☒

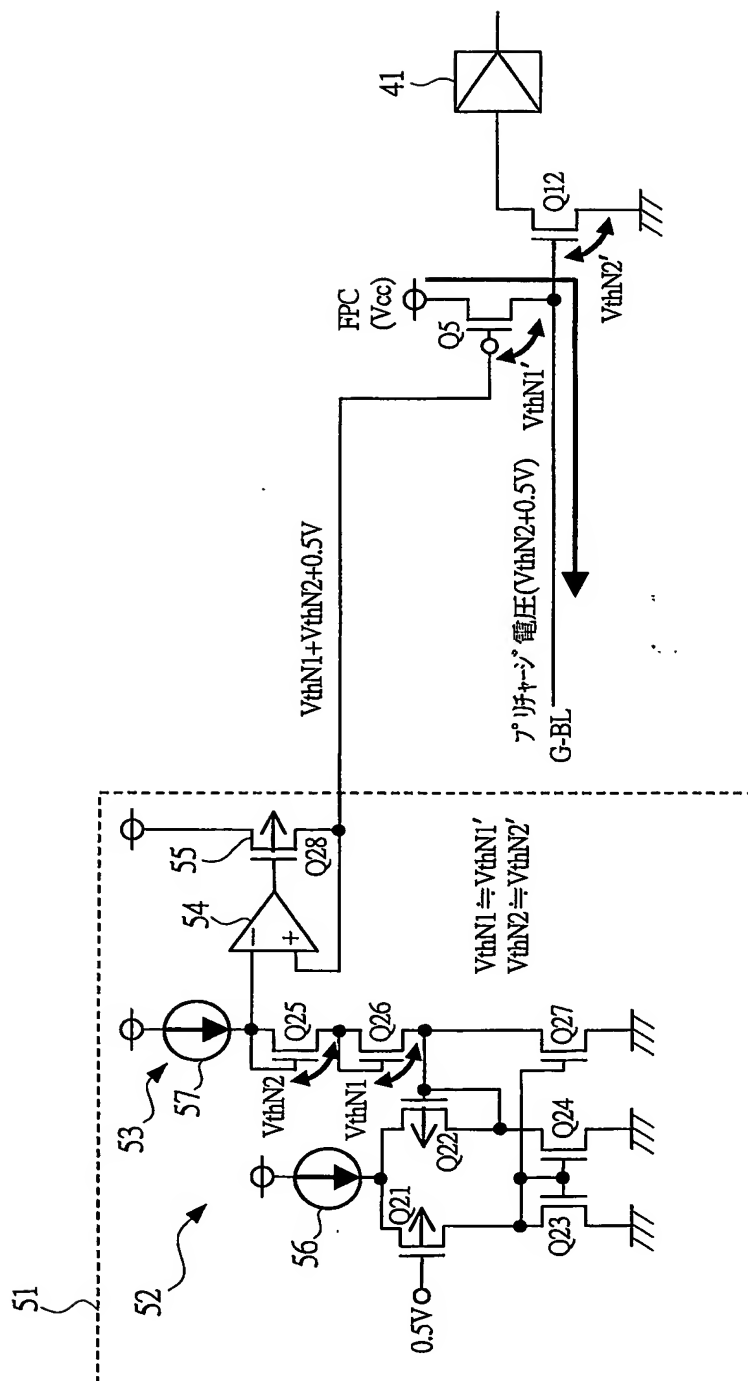
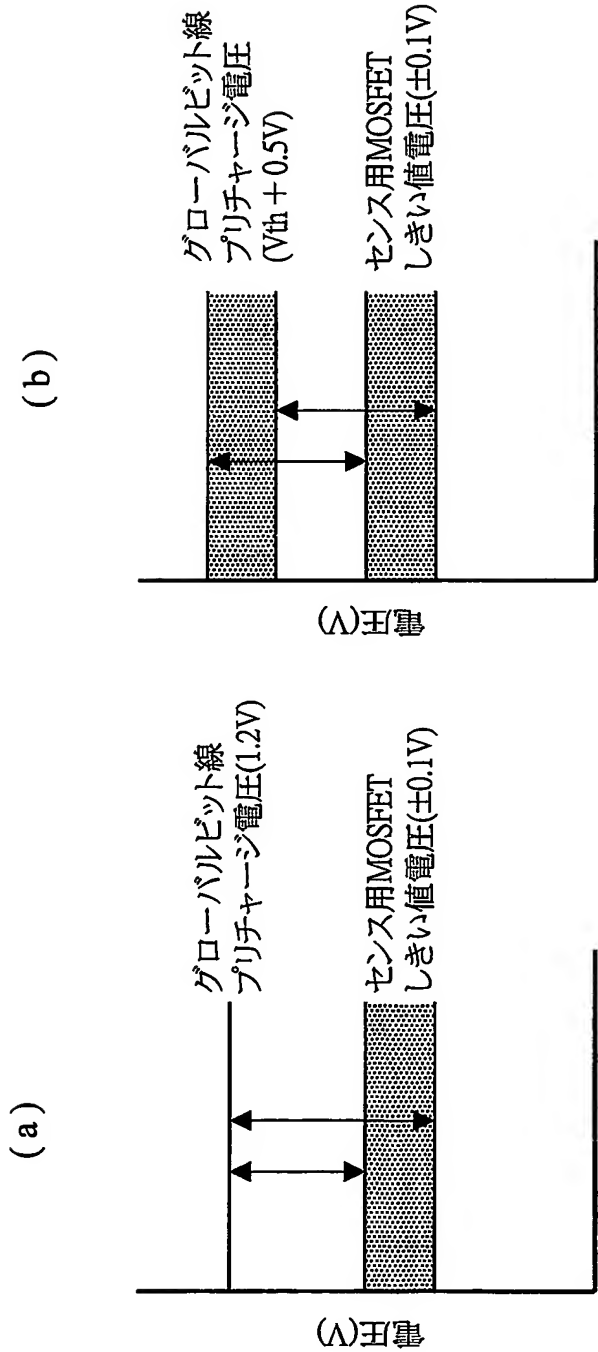
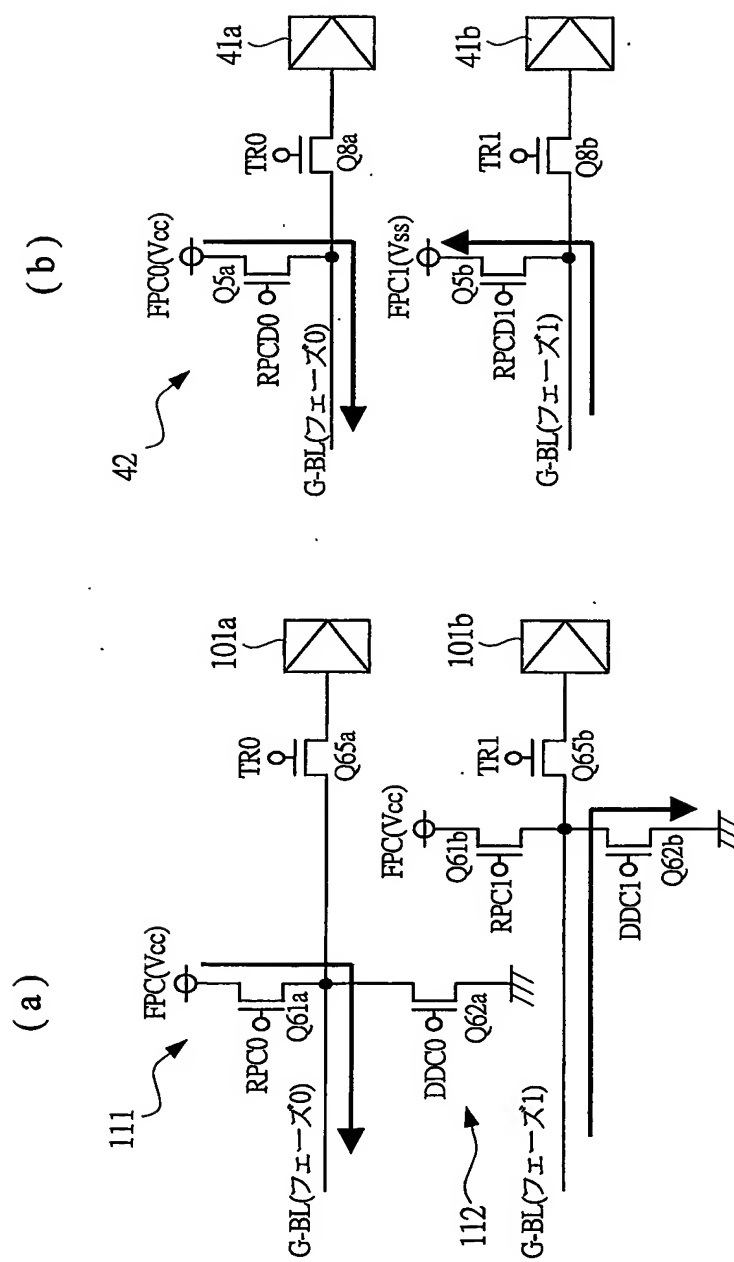


図 5

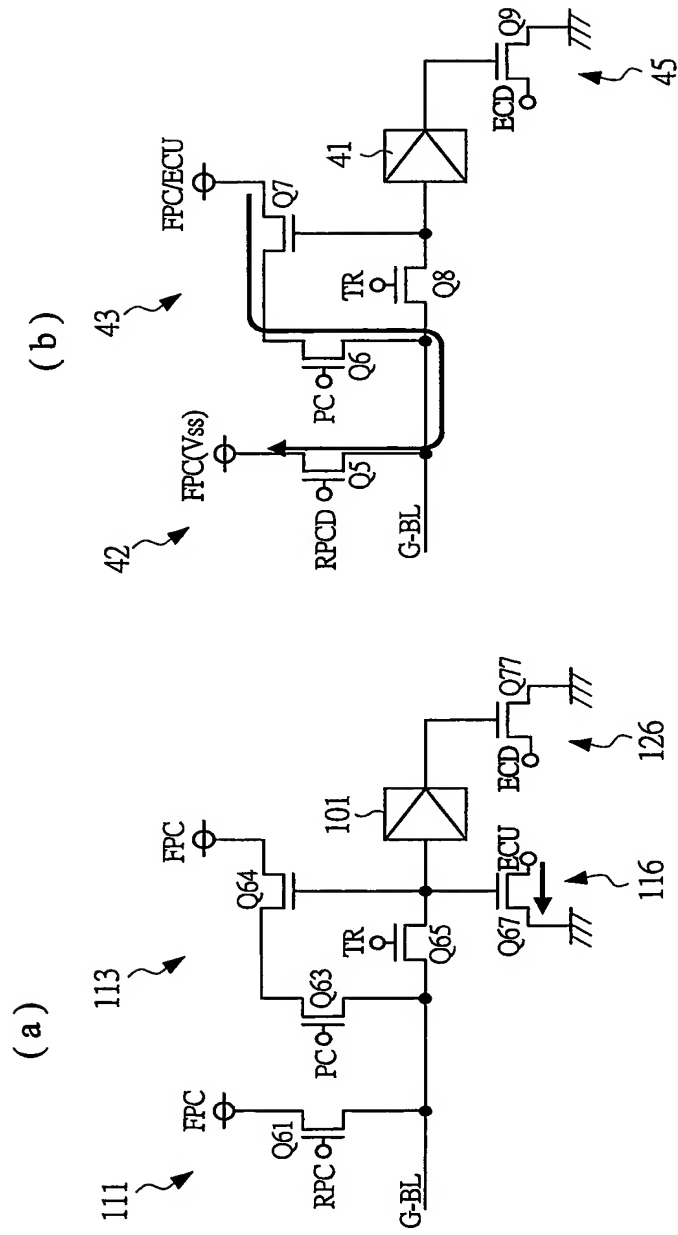


6





7



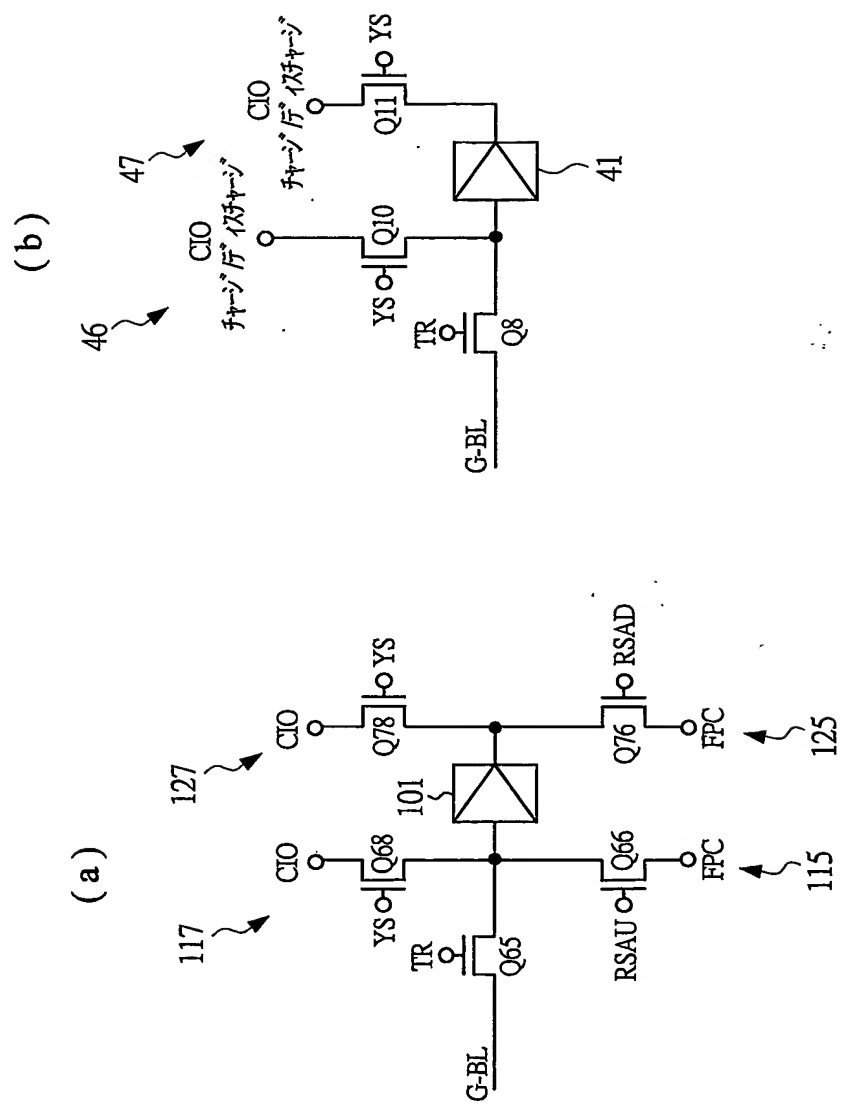


図 9

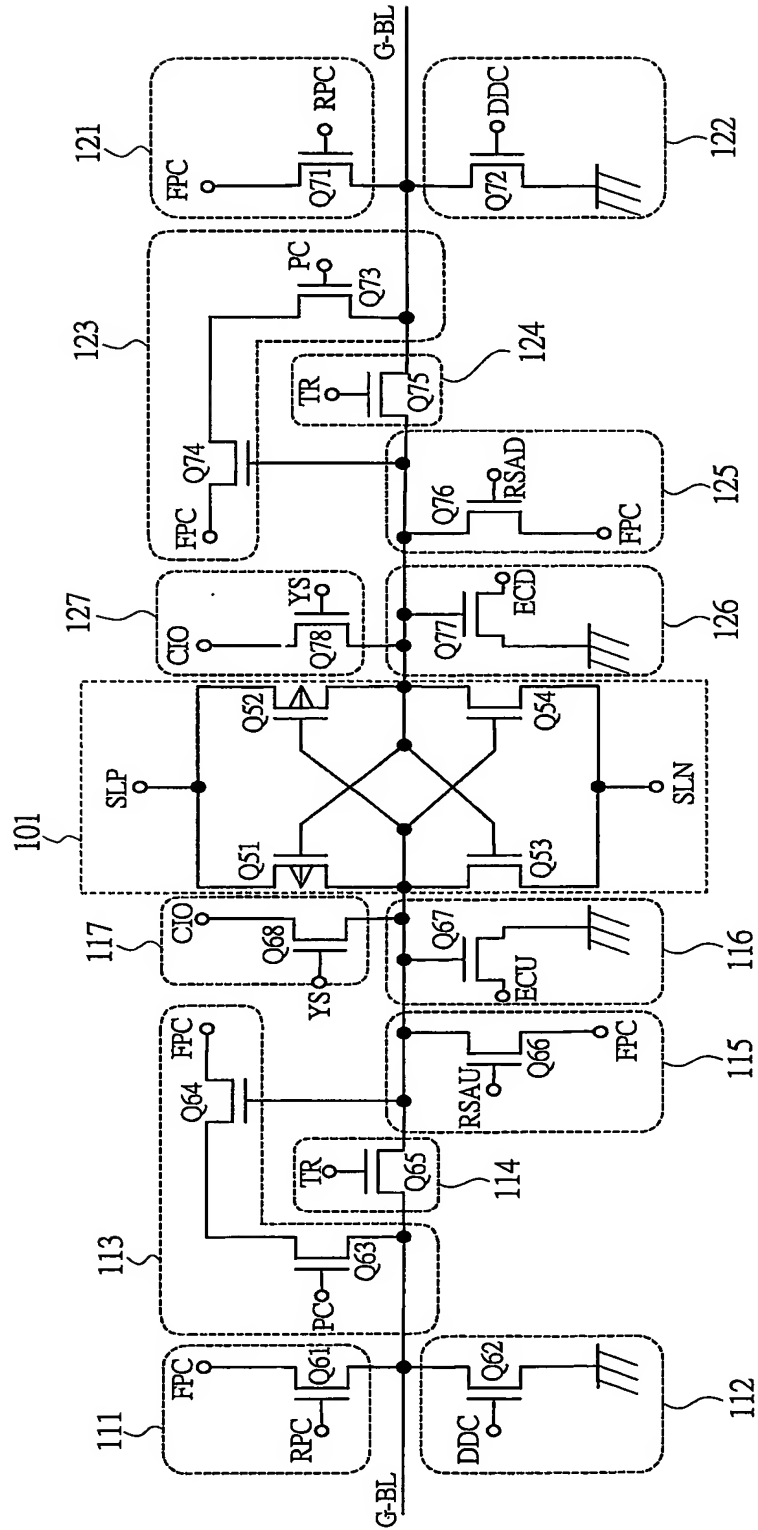
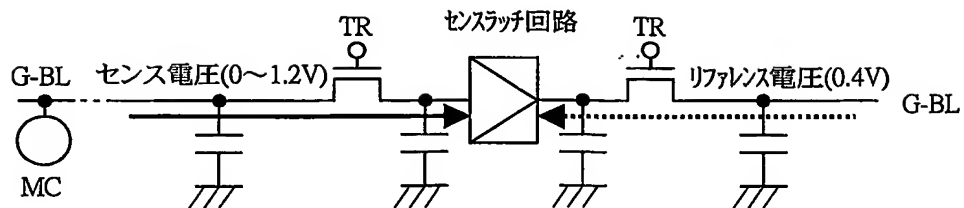
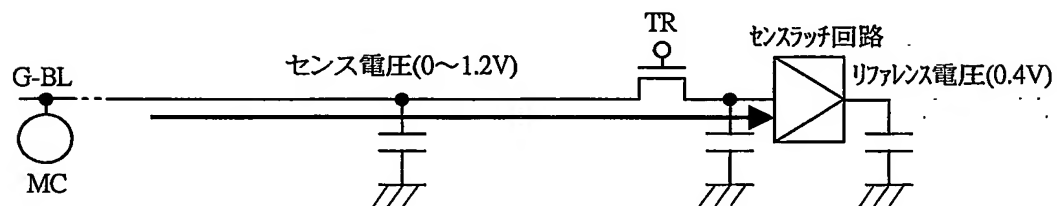


図 10

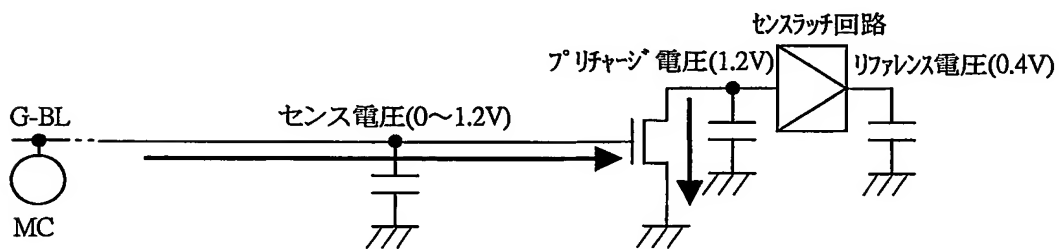
(a)



(b)



(c)



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/01846

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> G11C16/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> G11C16/06-16/34, H01L27/10-27/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 11-250681, A (Toshiba Corp.), 17 September, 1999 (17.09.99), Full text; all drawings (Family: none)	1-6
A	JP, 7-307098, A (Toshiba Corp.), 21 November, 1995 (21.11.95), Full text; all drawings & KR 9504817 Y & US 5610859 A	1-6
A	JP, 10-188576, A (Toshiba Corp.), 21 July, 1998 (21.07.98), Full text; all drawings (Family: none)	5, 6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

29 March, 2002 (29.03.02)

Date of mailing of the international search report

09 April, 2002 (09.04.02)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> G11C16/26		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl <sup>7</sup> G11C16/06-16/34 Int. Cl <sup>7</sup> H01L27/10-27/115		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2002年 日本国実用新案登録公報 1996-2002年 日本国登録実用新案公報 1994-2002年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-250681 A (株式会社東芝) 1999. 09. 17, 全文, 全図 (ファミリーなし)	1-6
A	JP 7-307098 A (株式会社東芝) 1995. 11. 21, 全文, 全図 & KR 9504817 Y & US 5610859 A	1-6
A	JP 10-188576 A (株式会社東芝) 1998. 07. 21, 全文, 全図 (ファミリーなし)	5, 6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 29. 03. 02	国際調査報告の発送日 03.04.02	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J.P.) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 飯田 清司 電話番号 03-3581-1101 内線 6842	5N 8731